

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP1112590  
Publication date: 1989-05-01  
Inventor(s): FUJIWARA ATSUSHI; others: 01  
Applicant(s):: MATSUSHITA ELECTRIC IND CO LTD  
Requested Patent: ☐ JP1112590  
Application JP19870269654 19871026  
Priority Number(s):  
IPC Classification: G11C11/34  
EC Classification:  
Equivalents:

---

### Abstract

**PURPOSE:**To attain high-speed readout and also to reduce the capacity of bit lines and the area of chips by detecting a potential difference on a bit line pair by a sense transistor (TR), and connecting it to a sub-bit line via the readout TR.

**CONSTITUTION:**In reading out the information of, e.g., a memory cell 48, at first a word line 49 is selected and a signal charge is read by a bit line 1. In selecting a readout signal line 50 next, the charge in the sub bit line 25 flows through a TR 17 and a sense TR 9 and the charge in the sub-bit line 26 flows through a TR 18 and the sense TR 9. A potential difference caused between the bit lines 25 and 26 is amplified by a sense amplifier 29. In selecting a write signal line 51, the potential difference between the bit lines 1 and 2 is further amplified. Moreover, the original data is written again in the cell 48 simultaneously. Thus, the bit line capacity and the chip area are reduced and high-speed readout is attained.

---

## ⑫ 公開特許公報(A) 平1-112590

⑬ Int.Cl.<sup>4</sup>

G 11 C 11/34

識別記号

3 6 2

庁内整理番号

B-8522-5B

⑭ 公開 平成1年(1989)5月1日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭62-269654

⑰ 出 願 昭62(1987)10月26日

⑱ 発 明 者 藤 原 淳 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 発 明 者 山 田 俊 郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
㉑ 代 理 人 弁理士 中尾 敏男 外1名

## 明 細 書

## 1、発明の名称

半導体記憶装置

## 2、特許請求の範囲

ゲート電極に第1のビット線を接続した第1のセンス用トランジスタと、このセンス用トランジスタのドレイン電極を第1の副ビット線に接続する読みだしトランジスタと、前記ビット線と対をなす第2のビット線をゲート電極に接続した第2のセンス用トランジスタと、この第2のセンス用トランジスタのドレイン電極を前記副ビット線と対をなす第2の副ビット線に接続する第2の読みだしトランジスタと、前記第1、第2の副ビット線上に出力された相補型出力を増幅するセンスアンプと、前記第1の副ビット線と前記第2のビット線を接続する第1の書き込みトランジスタと、前記第2の副ビット線と前記第1のビット線を接続する第2の書き込みトランジスタを備えてなる半導体記憶装置。

## 3、発明の詳細な説明

## 産業上の利用分野

本発明は半導体記憶装置に関するものである。

## 従来の技術

第2図は従来のDRAMのメモリセルアレイ構成を示す図である。ビット線対101と102、103と104はそれぞれセンスアンプ105、106に接続されている。ここで、第2図中に示すメモリセル107ないし108はワード線109に接続されており、各メモリセルは第3図に示すように信号電荷蓄積用コンデンサ201がゲート電極をワード線109に接続した読みだし用MOSトランジスタ202を介してビット線203に接続されている。

メモリセル107からデータを読み出す場合の動作を説明する。まず、ワード線109が選択され、メモリセル107内の読みだし用MOSトランジスタが導通し信号電荷がビット線101に読み出され、その結果、ビット線101とビット線102間に微小な電位差を生じ、これをセンスアンプ105で増幅し、デコーダ110により指定

されたMOSトランジスタ111, 112を介してデータ線113, 114に信号電圧が読み出される。

#### 発明が解決しようとする問題点

以上のような従来の構成をとる場合、半導体記憶装置の記憶容量が増大するにつれ、1つのビット線に接続されるメモリセルの数は増大し、そのため、ビット線容量の増大を招き、結果的にメモリ全体の動作余裕を低下させてしまう。そこで、ビット線を分割する必要があるわけであるが、従来とられてきた方法では、セルアレイをビット線方向に分割して、各々のサブアレイ毎にセンスアンプとコラムデコーダを設け、サブアレイ間で独立にデコードを行う。このような構成を採用した場合センスアンプとコラムデコーダを各サブアレイに設ける必要があるためチップサイズが大きくなるという問題がある。

#### 問題点を解決するための手段

本発明の半導体記憶装置は、ゲート電極にビット線を接続したセンス用トランジスタと、このセ

ンス用トランジスタのドレイン電極を副ビット線に接続する読み出しトランジスタと、前記ビット線と対をなす第2のビット線をゲート電極に接続した第2のセンス用トランジスタと、この第2のセンス用トランジスタのドレイン電極を前記副ビット線と対をなす第2の副ビット線に接続する第2の読みだしトランジスタと、前記副ビット線対上に出力された相補型出力を増幅するセンスアンプと、第1の副ビット線と第2のビット線を接続する書き込みトランジスタと、第2の副ビット線と第1のビット線を接続する第2の書き込みトランジスタを備えるものである。

#### 作用

ビット線対上の電位差をセンス用トランジスタで検出し、その信号を読み出しトランジスタを介して副ビット線に接続することによりひとつのビット線に接続されるメモリセルの数を少なくし、ビット線容量の低減をはかりながら、ビット線の分割数が増加してもセンスアンプ、コラムデコーダの数は増加しないのでチップ面積の増加を防ぐ

ことができ、さらに書き込みトランジスタを通してビット線に正帰環がかかるので高速の読み出しが可能になるものである。

#### 実施例

以下、本発明の実施例を図面を参照して説明する。

第1図は本発明の実施例を示している。第1図においてビット線1ないし8は各々センス用トランジスタ9ないし16のゲートに接続され、センス用トランジスタ9ないし16のドレイン電極は各々読みだしトランジスタ17ないし24を介して副ビット線25ないし28に接続されている。副ビット線25と26はセンスアンプ29に、副ビット線27と28はセンスアンプ30に接続されている。センスアンプ29ないし30の出力はコラムスイッチ31ないし34を介してデータ線35, 36に接続され、コラムスイッチ31ないし34のゲート電極はデコーダ37から出力されるデコード信号38, 39に接続されている。さらに、ビット線1ないし8は各々書き込みトラン

ジスタ40ないし47を介して副ビット線25ないし28に接続されている。

次に、第1図に示したこの発明の実施例の動作の概略について説明する

まず、副ビット線25ないし28と、ビット線1ないし8を $V_{DD}/2$ にプリチャージしておく。

たとえばメモリセル48の情報を読み出す場合、まず、ワード線49が選択され、メモリセル48内のスイッチングトランジスタが導通し、信号電荷がビット線1に読み出され、その結果ビット線1の電位と1ビット線2の電位の間に微小な電位差が生じる。

次に、読みだし信号線50を選択すると読みだしトランジスタ17と読みだしトランジスタ18が導通し副ビット線25の電荷は読みだしトランジスタ17とセンス用トランジスタ9を通して流れ、副ビット線26の電荷は読みだしトランジスタ18とセンス用トランジスタ10を通して流れる。このとき、ビット線1の電位とビット線2の電位の間に電位差があるためにセンス用トランジ

スタ9とセンス用トランジスタ10を流れる電荷量に差が生じる。

その結果、副ビット線25と副ビット線26の間に電位差が生じる。この電位差をセンスアンプ29によって増幅する。副ビット線25と副ビット線26の間の電位差がある程度増幅されたところで書き込み信号線51を選択し書き込みトランジスタ40、41を導通にすると副ビット線25とビット線、副ビット線26とビット線1が接続され、ビット線1とビット線2の電位差はさらに大きくなり、副ビット線25と副ビット線26の電位差は急激に増幅される。また、それと同時にメモリセル48にもとのデータが再書き込みされる。

以上のように、6個のトランジスタを設けるだけでビット線対を分割することができるのでビット線の分割に伴うチップ面積の増加を防ぎながらビット線の容量を低減することができ、さらにビット線には、書き込み用トランジスタを通して正帰還がかかるので高速の読み出しが可能になる。

#### 発明の効果

本発明によれば、ビット線を多数に分割することのできるため、ひとつのビット線に接続されるメモリセルの数を少なくすることができ、その結果、ビット線容量の低減が可能である。また、ビット線を分割したためのチップ面積の増加を小さく抑え、ビット線に正帰還をかけることにより高速の読み出しを可能にする。

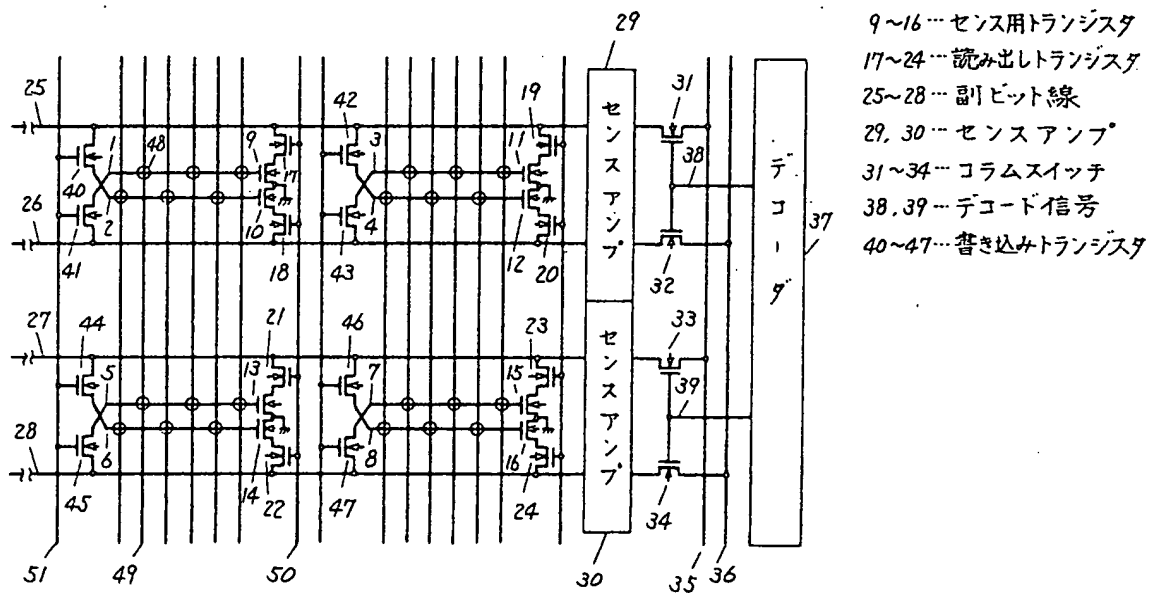
#### 4、図面の簡単な説明

第1図は本発明の実施例における半導体記憶装置の構成図、第2図は従来における半導体記憶装置の構成図、第3図は第2図中に示したメモリセルの実際の構成を示す回路図である。

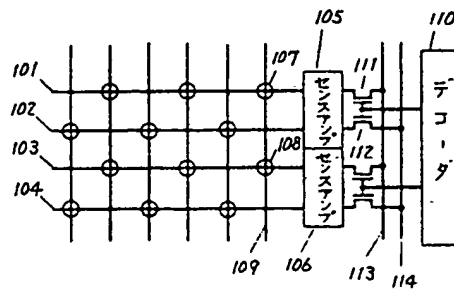
1～8……ビット線、9～16……センス用トランジスタ、17～24……読みだしトランジスタ、25～28……副ビット線、29、30……センスアンプ、31～34……コラムスイッチ、38、39……デコード信号、40～47……書き込みトランジスタ。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 圖



第 3 圖

